

H-2/Priority Paper
Dated
5/21/02

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

SEONG-JAE LEE, ET AL.

Serial No.

Filed:

For: **METHOD OF FABRICATING INTEGRATED
CIRCUIT HAVING SHALLOW JUNCTION -
UTILITY**

JC821 U.S. PRO
10/033394
12/28/01

Honorable Commissioner of
Patents and Trademarks
Washington, D.C. 20231

Request for Priority

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely
Korean application number 2001-66742 filed October 29, 2001.

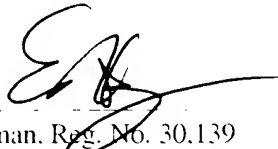
☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

BLAKELY, SOKOLOFF, TAYLOR & ZAFMAN

Dated:

12/28/01



Eric S. Hyman, Reg. No. 30,139

12400 Wilshire Blvd., 7th Floor
Los Angeles, California 90025
Telephone: (310) 207-3800

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

JCE21 U.S. PRO
10/033394
12/28/01

출원번호 : 특허출원 2001년 제 66742 호
Application Number PATENT-2001-0066742

출원년월일 : 2001년 10월 29일
Date of Application OCT 29, 2001

출원인 : 한국전자통신연구원
Applicant(s) KOREA ELECTRONICS & TELECOMMUNICATIONS RESEARCH INST

2001 년 12 월 17 일

특 허 청 장

COMMISSIONER

【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0001
【제출일자】 2001. 10. 29
【국제특허분류】 H01L
【발명의 명칭】 얇은 접합을 갖는 집적회로의 제조 방법
【발명의 영문명칭】 Method for fabricating a integrated circuit having a shallow junction

【출원인】

【명칭】 한국전자통신연구원
【출원인코드】 3-1998-007763-8

【대리인】

【성명】 이영필
【대리인코드】 9-1998-000334-6
【포괄위임등록번호】 2001-038378-6

【대리인】

【성명】 이해영
【대리인코드】 9-1999-000227-4
【포괄위임등록번호】 2001-038396-8

【발명자】

【성명의 국문표기】 이성재
【성명의 영문표기】 LEE, Seong Jae
【주민등록번호】 571028-1119811
【우편번호】 305-345
【주소】 대전광역시 유성구 신성동 대림아파트 106동 1106호

【국적】 KR

【발명자】

【성명의 국문표기】 조원주
【성명의 영문표기】 CHO, Won Ju
【주민등록번호】 670713-1696619

【우편번호】	305-333
【주소】	대전광역시 유성구 어은동 한빛아파트 113동 401호
【국적】	KR
【발명자】	
【성명의 국문표기】	박경완
【성명의 영문표기】	PARK, Kyoung Wan
【주민등록번호】	561113-1025419
【우편번호】	305-390
【주소】	대전광역시 유성구 전민동 462-4 나래아파트 107동 902호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 이영필 (인) 대리인 이해영 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	2 면 2,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	12 항 493,000 원
【합계】	524,000 원
【감면사유】	정부출연연구기관
【감면후 수수료】	262,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 얇은 접합을 갖는 집적 회로의 제조 방법이 제공된다. 본 발명은 반도체 기판 상에 불순물이 포함된 SOG막을 형성한 다음, 상기 불순물이 포함된 SOG막에 추가적으로 플라즈마 이온 주입법으로 상기 불순물 이온을 주입하여 불순물 농도를 증가시킨다. 이어서, 금속 열처리를 통하여 반도체 기판에 고체상태 확산법으로 상기 불순물을 확산시켜 얇은 접합을 형성한다. 이렇게 할 경우, 플라즈마 이온 주입법으로 불순물의 농도를 정밀하게 제어하면서도 직접적으로 반도체 기판에 불순물을 이온주입하지 않기 때문에 기판의 결정구조를 손상시키지 않는다. 더하여, 본 발명을 게이트 전극 형성 후에 적용하면 자기정렬적으로 LDD 영역 및 소오스/드레인 확장 영역을 형성할 수 있다.

【대표도】

도 4

【명세서】**【발명의 명칭】**

얇은 접합을 갖는 집적회로의 제조 방법{Method for fabricating a integrated circuit having a shallow junction}

【도면의 간단한 설명】

도 1 내지 도 4는 본 발명에 따라 얇은 접합을 갖는 집적회로의 제조방법의 제1 실시예를 도시한 단면도들이다.

도 5 내지 도 8은 본 발명에 따라 얇은 접합을 갖는 집적회로의 제조방법의 제2 실시예를 도시한 단면도들이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<3> 본 발명은 집적회로의 제조방법에 관한 것으로, 보다 상세하게는 얇은 접합을 갖는 집적회로의 제조 방법에 관한 것이다.

<4> 일반적으로, 집적회로(integrated circuit, IC)는 기판 위에 트랜지스터, 다이오드, 축전기, 저항 등의 서로 독립된 회로소자들을 내부적으로 연결해 전기 회로내에서 특정한 기능을 수행하도록 한 회로소자들의 집합체이다. 상기 집적회로는 사용하는 트랜지스터에 따라 쌍극성 집적회로와 모스 집적회로로 구별할 수 있다. 상기 쌍극성 집적회로는 n-p-n 트랜지스터나 p-n-p 트랜지스터를 사용하며, 상기 모스 집적회로는 모스(Metal Oxide silicon) 트랜지스터를 사용한다.

<5> 상기 집적회로, 특히 모스 집적회로는 고집적화됨에 따라 얇은 접합이 요구되고 있다. 상기 얇은 접합이라는 것은 기판에 형성되는 접합 깊이가 얇고, 저항 감소를 위해 불순물(impurity)의 농도 및 활성화율이 높아야 하고, 수평 및 수직 방향의 급격한 접합이 되어야 한다는 것을 의미한다.

<6> 상기 얇은 접합은 종래에는 이온주입방법(ion implantation method)이나 고체상태 확산법(solid phase diffusion method)을 이용하여 형성한다. 상기 이온주입 방법은 이온 주입기를 이용하여 불순물 이온을 고가속전압(high acceleration voltage)으로 고가속시켜 기판에 주입함으로써 얇은 접합을 형성한다. 그리고, 고체 상태 확산법은 기판 상에 고체 상태의 확산원을 형성한 후, 상기 확산원 내의 불순물(dopant)을 기판에 확산시켜 도핑시킴으로써 얇은 접합을 형성한다.

<7> 여기서, 본 상세한 설명에서 용어의 혼동을 피하기 위하여 이온주입방법에 의하여 주입되는 불순물은 impurity로 명명하며, 고체 상태 확산법에 의하여 주입되는 불순물은 dopant로 명명한다. 더하여, 이온형태로 주입되는 것은 이온주입(ion implantation)이라 칭하고, 고체상태확산법에 의하여 불순물이 확산되거나 이미 불순물이 포함되어 있는 것은 도핑(doping)이라 칭한다.

<8> 그런데, 상기 이온 주입 방법은 근본적으로 불순물 이온의 운동에너지에 기인하여 기판의 결정구조를 손상시켜 전위(dislocation)를 발생시킨다. 상기 전위는 접합의 누설을 초래할 뿐만 아니라 주입된 불순물의 급격한 확산을 야기하여 얇은 접합의 형성을 불가능하게 한다. 그리고, 상기 고체 확산법은 거저항의 얇은 접합에 적합할 만큼 확산원의 불순물(dopant)의 도핑 농도를 높여기가

어렵고, 더하여 상기 확산원의 불순물의 도핑 농도를 정밀하게 제어하는 데 문제가 있다.

【발명이 이루고자 하는 기술적 과제】

<9> 따라서, 본 발명이 이루고자 하는 기술적 과제는 상술한 문제점을 해결하기 위하여 창안된 것으로써, 전위를 발생되지 않으면서도 불순물의 도핑농도가 정밀하게 제어된 얇은 접합을 갖는 집적회로의 제조방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<10> 상기 기술적 과제를 달성하기 위하여, 본 발명의 일 예에 따르면, 본 발명은 반도체 기판 상에 확산 방지막 패턴을 형성한 후, 상기 확산 방지막 패턴이 형성된 반도체 기판의 전면에 불순물이 포함된 SOG막을 형성한다. 상기 SOG막은 P, B, In, As 또는 Sb의 도핑 원소를 포함하는 액체 상태의 실리케이트 글래스(silicate glass)를 스핀 코팅시킨 후 치밀화시켜 형성할 수 있다. 상기 SOG막은 SiH_4 및 O_2 와, P, B, In, As 또는 Sb의 도핑 원소를 포함하는 혼합 기체를 이용하여 화학기상증착법으로 형성할 수 있다.

<11> 상기 SOG막에 플라즈마 이온 주입법으로 상기 불순물 이온을 추가로 이온주입하여 상기 SOG막의 불순물 농도를 증가시킨다. 상기 SOG막의 불순물 농도를 증가시키는 단계는 Plasma Immersion Ion Implantation(PIII)이나 Ion Shower Implantation(ISI)과 같은 플라즈마 이온 주입 장치를 이용하여 수행할 수 있다. 상기 불순물이 추가로 주입된 SOG막의 최대 불순물 주입 농도는 $10^{19} \sim 10^{23} \text{cm}^{-3}$ 으로 조절할 수 있다. 상기 SOG막에 불순물 이온을 추가로 이온 주입할 때, 상기

확산 방지막 패턴의 표면보다 상측 부분 및 상기 반도체 기판 상에 형성된 SOG 막에만 선택적으로 불순물 이온을 주입할 수 있다.

<12> 상기 불순물 농도가 증가된 SOG막에 포함된 불순물을 고체상태확산법으로 상기 반도체 기판에 확산시켜 얇은 접합을 형성한다. 상기 고체 상태 확산법으로 얇은 접합을 형성할 때 급속 열 어닐(rapid thermal anneal(RTA)), 스파이크 어닐(spike anneal) 또는 레이저 어닐(laser anneal)을 이용할 수 있다. 상기 얇은 접합은 상기 반도체 기판으로의 도핑깊이가 50nm 이하 및 도핑 농도가 $10^{18} \sim 10^{22}\text{cm}^{-3}$ 으로 조절할 수 있다.

<13> 또한, 본 발명의 다른 예에 의하면, 본 발명은 반도체 기판 상에 게이트 패턴을 형성한 후, 상기 게이트 패턴이 형성된 반도체 기판의 전면에 불순물이 포함된 SOG막을 형성한다. 상기 SOG막의 두께와 상기 게이트 패턴을 구성하는 게이트 전극의 높이의 비율을 1:1.5~1:10인 것이 바람직하다. 상기 SOG막은 P, B, In, As 또는 Sb의 도핑 원소를 포함하는 액체 상태의 실리케이트 글래스(silicate glass)를 스핀 코팅시킨 후 치밀화시켜 형성할 수 있다. 상기 SOG막은 SiH_4 및 O_2 와, P, B, In, As 또는 Sb의 도핑 원소를 포함하는 혼합 기체를 이용하여 화학기상증착법으로 형성할 수 있다.

<14> 이어서, 플라즈마 이온 주입법으로 상기 불순물 이온을 추가로 이온주입하여 상기 게이트 패턴의 표면보다 상측 부분 및 반도체 기판 상에 형성된 SOG막의 불순물 농도를 선택적으로 증가시킨다. 상기 SOG막의 불순물 농도는 Plasma Immersion

Ion Implantation(PIII)이나 Ion Shower Implantation(ISI)과 같은 플라즈마 이온 주입 장치를 이용하여 선택적으로 증가시킬 수 있다. 상기 불순물이 추가로 주입된 SOG막의 최대 불순물 주입 농도는 $10^{19} \sim 10^{23} \text{cm}^{-3}$ 으로 조절하는 것이 바람직하다.

<15> 다음에, 상기 SOG막에 포함된 불순물을 고체상태확산법으로 상기 반도체 기판에 확산시켜 자기정렬적으로 상기 게이트 패턴의 양측벽 하부에 LDD 영역 및 소오스/드레인 확장 영역을 갖는 얇은 접합을 형성한다. 상기 고체 상태 확산법으로 얇은 접합을 형성할 때 급속 열 어닐(rapid thermal anneal(RTA)), 스파이크 어닐(spike anneal) 또는 레이저 어닐(laser anneal)을 이용할 수 있다. 상기 얇은 접합은 상기 반도체 기판으로의 도핑깊이가 50nm 이하 및 도핑 농도가 $10^{18} \sim 10^{22} \text{cm}^{-3}$ 으로 조절할 수 있다.

<16> 이 상과 같이 본 발명은 플라즈마 이온 주입법으로 불순물의 농도를 정밀하게 제어하면서도 직접적으로 반도체 기판에 불순물을 이온주입하지 않기 때문에 기판의 결정구조를 손상시키지 않는다. 더하여, 본 발명은 자기정렬적으로 LDD 영역 및 소오스/드레인 확장 영역을 형성할 수 있다.

<17> 이하, 첨부도면을 참조하여 본 발명의 실시예들을 상세히 설명한다. 그러나, 다음에 예시하는 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예들에 한정되는 것은 아니다. 본 발명의 실시예들은 당 업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되어지는 것이다. 도면에서 막 또는 영역들의 크기 또는 두께는

명세서의 명확성을 위하여 과장되어진 것이다. 또한, 어떤 막이 다른 막 또는 기판의 '위(상)'에 있다라고 기재된 경우, 상기 어떤 막이 상기 다른 막의 위에 직접 존재할 수도 있고, 그 사이에 제3의 다른 막이 개재될 수도 있다.

<18> 도 1 내지 도 4는 본 발명에 따라 얇은 접합을 갖는 집적회로의 제조방법의 제1 실시예를 도시한 단면도들이다.

<19> 도 1을 참조하면, 반도체 기판(10), 예컨대 P형이나 N형 실리콘 기판 상에 확산 방지막 패턴(12)을 형성한다. 상기 확산 방지막 패턴(12)은 상기 반도체 기판(10)의 일부를 노출하도록 형성한다. 상기 확산 방지막 패턴(12)은 산화막 또는 질화막으로 형성한다. 상기 확산 방지막 패턴(12)은 후에 불순물(dopant)이 반도체 기판(10)으로 확산하지 않도록 하는 역할을 한다.

<20> 도 2를 참조하면, 상기 확산 방지막 패턴(12)이 형성된 반도체 기판(10)의 전면에 SOG막(silicon oxide layer, 14)을 형성한다. 상기 SOG막(14)은 20 ~ 300 nm의 두께로 형성한다. 상기 SOG막(14)은 후의 플라즈마 이온 주입시 반도체 기판(10)의 손상을 방지하는 버퍼층의 역할을 수행한다.

<21> 상기 SOG막(14)은 B, P, In, As 또는 Sb 등의 도핑 원소를 포함하는 액체 상태의 실리케이트 글래스(silicate glass)를 스핀 코팅시킨 후, 200℃ ~ 600℃ 정도의 온도에서 2분 ~ 30분 정도 열처리하여 치밀화시킴으로서 형성한다. 상기 B를 포함하는 실리케이트 글래스는 BSG(borosilicate glass)를 이용할 수 있고, P를 포함하는 실리케이트 글래스는 PSG(phosphosilicate glass)를 이용할 수 있다. 또는,

상기 SOG막(14)은 SiH_4 , O_2 및 상기 도핑원소 등을 포함하는 혼합 기체를 이용하여 화학기상증착법으로 400°C 이하, 바람직하게는 350°C 정도의 온도에서 형성할 수 있다.

<22> 상기 'SOG'라는 용어는 통상 spin on glass라고 알려져 있으나, 본 상세한 설명에서는 화학기상증착법을 이용하여도 SOG막을 형성할 수 있기 때문에 silicon oxide glass로 명명한다.

<23> 도 3을 참조하면, 상기 SOG막(14)에 플라즈마 이온 주입법으로 불순물 이온(13)을 추가로 주입하여 상기 SOG막(14)의 불순물 농도를 증가시킨다. 다시 말해, 상기 SOG막(14)이 형성된 반도체 기판(10)을 플라즈마 이온 주입 장치에 넣어 상기 SOG막(14)에 불순물 이온(13)을 추가로 주입한다. 이렇게 플라즈마 이온 주입법을 이용하여 SOG막(14)에 불순물 이온(13)을 추가로 주입하면 반도체 기판(10)의 결정구조 손상 없이 후에 형성되는 얇은 접합의 도핑농도를 정밀하게 제어할 수 있다.

<24> 상기 불순물 이온(13)이 추가로 주입된 SOG막(14)의 최대 불순물 주입 농도는 $10^{19} \sim 10^{23}\text{cm}^{-3}$ 으로 조절한다. 상기 SOG막(14)의 최대 불순물 주입농도를 $10^{19} \sim 10^{23}\text{cm}^{-3}$ 으로 하는 이유는 후에 형성되는 얇은 접합의 도핑깊이가 50nm 이하 및 도핑 농도가 $10^{18} \sim 10^{22}\text{cm}^{-3}$ 으로 유지하기 위함이다.

<25> 상기 반도체 기판(10)이 N형 실리콘 기판일 경우, 플라즈마 이온 주입법에 의해 주입되는 불순물은 B나 In을 이용한다. 그리고, 상기 반도체 기판이 P형 실리콘 기판일 경우 플라즈마 이온 주입법에 의해 주입되는 불순물은 P, As 또는 Sb를 이용한다.

<26> 상기 플라즈마 이온 주입 장치는 저가속전압을 사용하는 Plasma Immersion Ion Implantation(PIII)이나 Ion Shower Implantation(ISI)과 같은 불순물 이온의 직진성이 뚜렷한 장치이다. 상기 Plasma Immersion Ion Implantation(PIII)은 웨이퍼(반도체 기판) 위에서 플라즈마를 발생시키고 주기적으로 웨이퍼에 음전압을 가하여 플라즈마의 이온을 가속시켜 웨이퍼를 때리게 하는 원리로 작동되는 장치이다. 상기 Ion Shower Implantation(ISI)은 웨이퍼에서 떨어져 있는 플라즈마 이온을 넓은 면적의 전극으로 추출/가속시켜 웨이퍼에 부딪히게 하는 원리로 작동되는 장치이다. 상기 플라즈마 이온 주입 장치를 이용할 경우 저가속전압을 사용하여 조사된 불순물 이온(13)이 상기 SOG막(14) 내에 주입되어 상기 반도체 기판(10)의 결정구조를 손상시키지 않도록 하면서도 10^{15} cm^{-2} 이상의 조사량으로서 SOG막(14)에 고농도의 불순물을 주입시킬 수 있다.

<27> 상기 SOG막(14)에 플라즈마 이온 주입 장치를 이용하여 플라즈마 이온주입 방법으로 불순물 이온(13)을 주입하면, 수직 운동하는 불순물 이온(13)에 노출된 SOG막(14a), 즉 확산 방지막 패턴(12)의 표면보다 상측 부분 및 반도체 기판(10) 상에 형성된 SOG막(14a)은 10^{21} cm^{-3} 이상의 고농도로 불순물 이온(13)이 선택적으로 주입되고, 그림자 효과(shadow effect)에 의하여 수직 운동하는 불순물 이온(13)에 노출되지 않는 SOG막(14b), 즉 확산 방지막 패턴(12)의 측벽에 형성된 SOG막(14b)은 추가 불순물 주입이 되지 않는다.

<28> 결과적으로, 상기 확산 방지막 패턴(12)의 표면보다 상측 부분 및 반도체 기판(10) 상에 형성된 SOG막(14a)은 고농도 확산원이 되며, 상기 확산 방지막 패턴(12)의 측벽에 형성된 SOG막(14b)은 저농도 확산원이 된다. 상기 SOG막(14)의

불순물의 주입 특성은 불순물 이온(13)의 운동 에너지, 이온 주입량, 상기 SOG막(14)의 초기 불순물 농도, 상기 SOG막(14)의 두께 및 상기 확산 방지막 패턴(12)의 두께 등의 여러 가지 요인에 의하여 좌우된다.

<29> 도 4를 참조하면, 상기 고농도의 SOG막(14a) 및 저농도의 SOG막(14b)이 형성된 반도체 기판(10)을 급속 열처리하여 상기 SOG막(14a, 14b) 내의 불순물을 기판으로 확산시켜 얇은 접합(16a, 16b)을 형성한다. 다시 말해, 상기 SOG막(14a, 14b) 내의 불순물을 급속 열처리를 이용하여 고체 상태 확산법으로 확산시켜 얇은 접합(16a, 16b)을 형성한다. 이렇게 고체 상태 확산법을 이용할 경우 얇은 접합(16a, 16b)을 형성하는 것이 용이할 뿐만 아니라 SOG막(14) 내의 불순물의 활성화 효율이 증가된다.

<30> 상기 급속 열처리는 급속 열 어닐(rapid thermal anneal(RTA)), 또는 스파이크 어닐(spike anneal) 또는 레이저 어닐(laser anneal)을 지칭하는 것으로 고체 상태 확산시 얇은 접합 형성에 적합하다. 상기 급속 열 어닐(RTA)의 경우 상기 고농도의 SOG막(14a) 및 저농도의 SOG막(14b)이 형성된 반도체 기판(10)을 비활성 가스 분위기 및 950℃~1150℃의 온도에서 1~1000초 동안 처리함으로써 반도체 기판(10)으로의 도핑깊이가 50nm 이하, 바람직하게는 8~35nm, 도핑 농도가 $10^{18} \sim 10^{22} \text{cm}^{-3}$ 의 얇은 접합(16a, 16b)을 형성할 수 있다. 상기 스파이크 열처리의 경우 상기 고농도의 SOG막(14a) 및 저농도의 SOG막(14b)이 형성된 반도체 기판(10)을 비활성 가스 분위기 및 950℃~1200℃의 온도에서 열처리함으로써 반도체 기판(10)으로의 도핑깊이가 50nm 이하, 바람직하게는 8~35nm, 도핑 농도가 $10^{18} \sim 10^{22} \text{cm}^{-3}$ 의 얇은 접합(16a, 16b)을 형성할 수 있다.

<31> 상기 급속 열처리에 의하여 얇은 접합(16a, 16b)을 형성할 때 고농도의 SOG막(14a)으로부터 확산된 얇은 접합(16a)의 도핑 농도와 저농도의 SOG막(14b)으로 확산된 얇은 접합(16b)의 도핑 농도는 차이가 발생한다. 이에 따라서, 자연적으로 반도체 기판(10)의 표면 근방에 고농도의 얇은 접합(16a)과 상기 확산 방지막 패턴(12) 근처의 반도체 기판(10)의 표면 근방에 저농도의 얇은 접합(16b)이 형성된다.

<32> 도 5 내지 도 8은 본 발명에 따라 얇은 접합을 갖는 집적회로의 제조방법의 제2 실시예를 도시한 단면도들이다. 구체적으로, 본 발명의 제2 실시예에 의한 집적회로의 제조방법은 게이트 전극 형성 후에 제1 실시예의 발명 사상을 적용한 것이다.

<33> 도 5를 참조하면, 반도체 기판(20), 예컨대 N형 또는 P형의 실리콘 기판 상에 게이트 산화막(22) 및 게이트 전극(24)으로 이루어진 게이트 패턴(25)을 형성한다. 상기 게이트 패턴(25)은 상기 반도체 기판(20)의 표면을 산화시켜 실리콘 산화막을 형성하고, 상기 실리콘 산화막 상에 저압화학기상증착법으로 100 내지 300nm 두께의 폴리실리콘막을 증착한 후, 사진식각공정을 이용하여 패터닝함으로써 형성된다.

<34> 도 6을 참조하면, 상기 게이트 패턴(25)이 형성된 반도체 기판(20)의 전면 에 SOG막(silicon oxide layer, 26)을 형성한다. 상기 SOG막(26)은 20 ~ 300 nm의 두께로 형성한다. 상기 SOG막(26)은 후의 플라즈마 이온 주입시 반도체 기판(20)의 손상을 방지하는 버퍼층의 역할을 수행한다. 상기 SOG막(26)의 형성방법은 제1 실시예와 동일하다.

<35> 상기 SOG막(26)은 상기 반도체 기판(20)과 반대 도전형의 도핑 원소를 포함하는 불순물을 포함하도록 형성한다. 예컨대, 상기 반도체 기판(20)이 P형 실리콘 기판일 경우는 상기 SOG막(26)은 P, As 또는 Sb가 포함되도록 형성하고, 상기 반도체 기판(20)이 N형 실리콘 기판일 경우는 상기 SOG막(26)은 B나 In이 포함되도록 형성한다.

<36> 상기 SOG막(26)의 두께는 그림자 효과를 활용할 수 있도록 SOG막(26)의 두께와 게이트 전극(24)의 높이의 비율을 적어도 1:1.5이상, 바람직하게는 1:1.5~1:10이 되는 조건으로 형성한다. 또한, SOG막(26)에 포함된 도핑 원소는 LDD(Lightly Doped Drain) 영역 및 소오스/드레인 확장(Source/Drain Extension)영역을 목적으로 한 후공정을 고려하여 P 나 B 대신 각각 As(또는 Sb)나 In을 선택하여 후의 열처리 공정시 확산 깊이를 줄일 수 있도록 할 수도 있다.

<37> 도 7을 참조하면, 상기 SOG막(26)에 플라즈마 이온 주입법으로 불순물 이온(27)을 추가로 주입하여 상기 SOG막(26)의 불순물 농도를 증가시킨다. 다시 말해, 상기 SOG막(26)이 형성된 반도체 기판(20)을 플라즈마 이온 주입 장치에 넣어 상기 SOG막(26)에 불순물 이온(27)을 선택적으로 추가로 주입한다. 이렇게 플라즈마 이온 주입법을 이용하여 SOG막(26)에 불순물 이온(27)을 추가 주입하면 반도체 기판(10)의 결정구조 손상 없이 후에 형성되는 얇은 접합의 도핑 농도를 정밀하게 제어할 수 있다.

<38> 상기 불순물 이온(27)이 추가로 주입된 SOG막(26)의 최대 불순물 주입 농도는 $10^{19} \sim 10^{23} \text{cm}^{-3}$ 으로 조절한다. 상기 SOG막(26)의 최대 불순물 주입농도를

$10^{19} \sim 10^{23} \text{cm}^{-3}$ 으로 하는 이유는 후에 형성되는 얇은 접합의 도핑깊이가 50nm 이하 및 도핑 농도가 $10^{18} \sim 10^{22} \text{cm}^{-3}$ 으로 유지하기 위함이다.

<39> 상기 반도체 기판(26)이 N형 실리콘 기판일 경우, 플라즈마 이온 주입법에 의해 주입되는 불순물은 B나 In을 이용한다. 그리고, 상기 반도체 기판이 P형 실리콘 기판일 경우 플라즈마 이온 주입법에 의해 주입되는 불순물은 P, As 또는 Sb를 이용한다.

<40> 더하여, 앞서 설명한 바와 같은 이유로 인해 상기 SOG막에 초기 도핑된 원소가 As이나 Sb일 경우 플라즈마 이온주입법에 의해 주입되는 불순물은 P를 이용한다. 그리고, 상기 SOG막에 초기 도핑된 원소가 In일 경우 플라즈마 이온주입법에 의해 주입되는 불순물은 B를 이용한다.

<41> 상기 플라즈마 이온 주입 장치에 관하여는 도 3에서 설명하였으므로 생략한다. 상기 플라즈마 이온 주입 장치를 이용할 경우 저가속전압을 사용하여 조사된 불순물 이온(27)이 상기 SOG막(26) 내에 주입되어 상기 반도체 기판(20)의 결정 구조를 손상시키지 않도록 하면서도 10^{15}cm^{-2} 이상의 조사량으로서 SOG막(26)에 고농도의 불순물을 주입시킬 수 있다.

<42> 상기 SOG막(26)에 플라즈마 이온 주입 장치를 이용하여 플라즈마 이온주입법으로 불순물 이온(27)을 주입하면, 수직 운동하는 불순물 이온(27)에 노출된 SOG막(26a), 즉 게이트 전극(24)의 표면보다 상측 부분 및 반도체 기판(20) 상에 형성된 SOG막(26a)은 10^{21}cm^{-3} 이상의 고농도로 불순물 이온(27)이 선택적으로 주입되고, 그림자 효과(shadow effect)에 의하여 수직 운동하는 불순물 이온(27)

에 노출되지 않는 SOG막(26b), 즉 게이트 산화막(22) 및 게이트 전극(24)의 측벽에 형성된 SOG막(26b)은 추가 불순물 주입이 되지 않는다.

<43> 결과적으로, 상기 게이트 전극(24)의 표면보다 상측 부분 및 반도체 기판(20) 상에 형성된 SOG막(26a)은 고농도 확산원이 되며, 게이트 산화막(22) 및 게이트 전극(24)의 측벽에 형성된 SOG막(26b)은 저농도 확산원이 된다. 상기 SOG막(26)의 불순물의 주입 특성은 불순물 이온의 운동 에너지, 이온 주입량, 상기 SOG막(26)의 초기 불순물 농도, 상기 SOG막(26)의 두께 등의 여러 가지 요인에 의하여 좌우된다.

<44> 도 8을 참조하면, 상기 고농도의 SOG막(26a) 및 저농도의 SOG막(26b)이 형성된 반도체 기판(20)을 급속 열처리하여 상기 SOG막(26a, 26b) 내의 불순물을 기판으로 확산시켜 얇은 접합(28a, 28b)을 형성한다. 다시 말해, 상기 SOG막(26a, 26b) 내의 불순물을 급속 열처리를 이용하여 고체 상태 확산법으로 확산시켜 얇은 접합(28a, 28b)을 형성한다. 이렇게 고체 상태 확산법을 이용할 경우 얇은 접합(28a, 28b)을 형성하는 것이 용이할 뿐만 아니라 SOG막(26a, 26b) 내의 불순물의 활성화 효율이 증가된다. 상기 급속 열처리에 관하여는 도 4에서 설명하였으므로 생략한다. 상기 급속 열처리 조건은 도 4와 동일하게 수행한다.

<45> 상기 급속 열처리에 의하여 얇은 접합(28a, 28b)을 형성할 때 고농도의 SOG막(26a)으로부터 확산된 얇은 접합(28a)의 도핑 농도와 저농도의 SOG막(26b)으로 확산된 얇은 접합(28b)의 도핑 농도는 차이가 발생한다. 이에 따라서, 자연적으로 반도체 기판(20)의 표면 근방에 고농도의 얇은 접합(28a)으로 소오스/드레인 확장 영역(source/drain extension region)이 형성되고, 상기 게이트 산화막(22)

및 게이트 전극(24)의 양측벽 하부의 반도체 기관(20)의 표면 근방에 저농도의 얇은 접합(28b)으로 LDD 영역(lightly doped drain region)이 형성된다.

<46> 다시 말해, 본 실시예에서는 자기정렬적으로 상기 게이트 패턴(25)의 양측벽 하부의 반도체 기관(20)의 표면 근방에 저농도의 얇은 접합(28b)으로 LDD 영역이 형성되고, 상기 LDD 영역에 접하여 반도체 기관(20)의 표면 근방에 고농도의 얇은 접합(28a)으로 소오스/드레인 확장 영역이 형성된다. 이와 같이 자기정렬적으로 LDD 영역 및 소오스/드레인 확장 영역을 형성하는 방법은 종래의 측벽 스페이서(sidewall spacer)를 이용한 두 번의 이온주입공정을 이용하여 LDD 영역 및 소오스/드레인 확장영역을 형성하는 것보다 공정이 간단하고 얇은 접합 형성에 적합한 나노 소자의 공정으로서 활용 가치가 높다.

【발명의 효과】

<47> 상술한 바와 같이 본 발명의 얇은 접합을 갖는 집적 회로의 제조 방법은 반도체 기관 상에 불순물이 포함된 SOG막을 형성한 다음, 상기 불순물이 포함된 SOG막에 추가적으로 플라즈마 이온 주입법으로 상기 불순물 이온을 주입하여 불순물 농도를 증가시킨다. 이어서, 급속 열처리를 통하여 반도체 기관에 고체상태 확산법으로 상기 불순물을 확산시켜 얇은 접합을 형성한다. 이렇게 할 경우, 플라즈마 이온 주입법으로 불순물의 농도를 정밀하게 제어하면서도 직접적으로 반도체 기관에 불순물을 이온주입하지 않기 때문에 기관의 결정구조를 손상시키지 않는다.

<48> 더하여, 본 발명의 얇은 접합을 갖는 집적 회로의 제조방법을 게이트 전극
형성 후에 적용하면 자기정렬적으로 LDD 영역 및 소오스/드레인 확장 영역을 형
성할 수 있다.

【특허 청구범위】**【청구항 1】**

반도체 기판 상에 확산 방지막 패턴을 형성하는 단계;

상기 확산 방지막 패턴이 형성된 반도체 기판의 전면에 불순물이 포함된 SOG막을 형성하는 단계;

상기 SOG막에 플라즈마 이온 주입법으로 상기 불순물 이온을 추가로 이온주입하여 상기 SOG막의 불순물 농도를 증가시키는 단계; 및

상기 불순물 농도가 증가된 SOG막에 포함된 불순물을 고체상태확산법으로 상기 반도체 기판에 확산시켜 얇은 접합을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 집적회로의 제조방법.

【청구항 2】

반도체 기판 상에 게이트 패턴을 형성하는 단계;

상기 게이트 패턴이 형성된 반도체 기판의 전면에 불순물이 포함된 SOG막을 형성하는 단계;

플라즈마 이온 주입법으로 상기 불순물 이온을 추가로 이온주입하여 상기 게이트 패턴의 표면보다 상측 부분 및 반도체 기판 상에 형성된 SOG막의 불순물 농도를 선택적으로 증가시키는 단계; 및

상기 SOG막에 포함된 불순물을 고체상태확산법으로 상기 반도체 기판에 확산시켜 자기정렬적으로 상기 게이트 패턴의 양측벽 하부에 LDD 영역 및 소오스/

드레인 확장 영역을 갖는 얇은 접합을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 집적회로의 제조방법.

【청구항 3】

제1항 또는 제2항에 있어서, 상기 SOG막은 P, B, In, As 또는 Sb의 도핑 원소를 포함하는 액체 상태의 실리케이트 글래스(silicate glass)를 스핀 코팅시킨 후 치밀화시켜 형성하는 것을 특징으로 하는 집적 회로의 제조방법.

【청구항 4】

제1항 또는 제2항에 있어서, 상기 SOG막은 SiH_4 및 O_2 와, P, B, In, As 또는 Sb의 도핑 원소를 포함하는 혼합 기체를 이용하여 화학기상증착법으로 형성하는 것을 특징으로 하는 집적 회로의 제조방법.

【청구항 5】

제1항 또는 제2항에 있어서, 상기 SOG막의 불순물 농도를 증가시키는 단계는 Plasma Immersion Ion Implantation(PIII)이나 Ion Shower Implantation(ISI)과 같은 플라즈마 이온 주입 장치를 이용하여 수행하는 것을 특징으로 하는 집적 회로의 제조방법.

【청구항 6】

제1항 또는 제2항에 있어서, 상기 불순물이 추가로 주입된 SOG막의 최대 불순물 주입 농도는 $10^{19} \sim 10^{23} \text{cm}^{-3}$ 으로 조절하는 것을 특징으로 하는 집적 회로의 제조방법.

【청구항 7】

제1항에 있어서, 상기 SOG막에 불순물 이온을 추가로 이온주입할 때, 상기 확산 방지막 패턴의 표면보다 상측 부분 및 상기 반도체 기판 상에 형성된 SOG막에만 선택적으로 불순물 이온이 주입되는 것을 특징으로 하는 집적 회로의 제조 방법.

【청구항 8】

제1항 또는 제2항에 있어서, 상기 고체 상태 확산법으로 얇은 접합을 형성할 때 급속 열 어닐(rapid thermal anneal(RTA)), 스파이크 어닐(spike anneal) 또는 레이저 어닐(laser anneal)을 이용하는 것을 특징으로 하는 집적 회로의 제조 방법

【청구항 9】

제8항에 있어서, 상기 급속 열 어닐(RTA)은 상기 불순물 농도가 증가된 SOG막이 형성된 반도체 기판을 비활성 가스 분위기 및 950℃ ~ 1150℃의 온도에서 1 ~ 1000초 동안 열처리하는 것을 특징으로 하는 집적 회로의 제조 방법.

【청구항 10】

제8항에 있어서, 상기 스파이크 열처리는 상기 불순물 농도가 증가된 SOG막이 형성된 반도체 기판을 비활성 가스 분위기 및 950℃ ~ 1200℃의 온도에서 열처리하는 것을 특징으로 하는 집적 회로의 제조 방법.

【청구항 11】

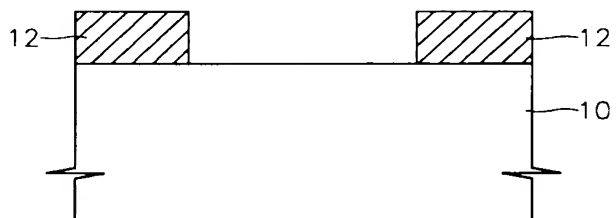
제1항 또는 제2항에 있어서, 상기 얇은 접합은 상기 반도체 기판으로의 도핑깊이가 50nm 이하 및 도핑 농도가 $10^{18} \sim 10^{22} \text{cm}^{-3}$ 인 것을 특징으로 하는 집적회로의 제조방법.

【청구항 12】

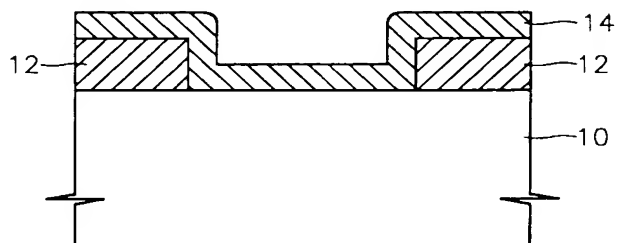
제2항에 있어서, 상기 SOG막의 두께와 상기 게이트 패턴을 구성하는 게이트전극의 높이의 비율을 1:1.5~1:10인 것을 특징으로 하는 집적회로의 제조방법.

【도면】

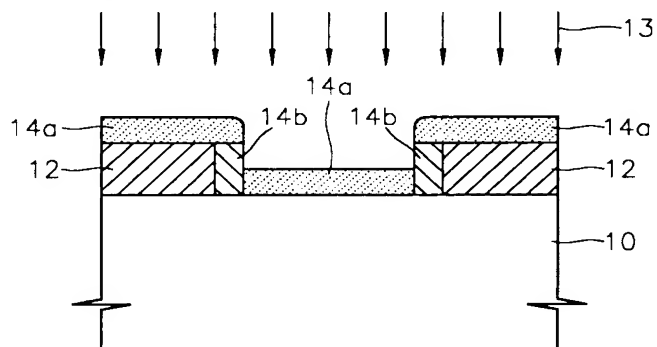
【도 1】



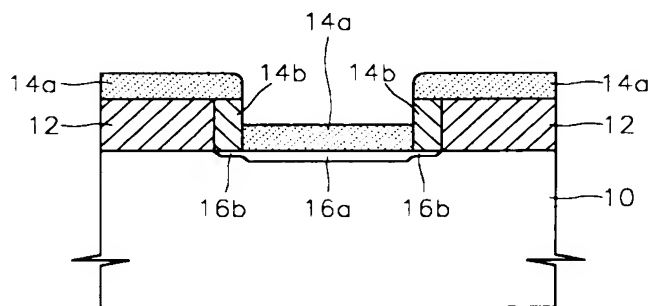
【도 2】



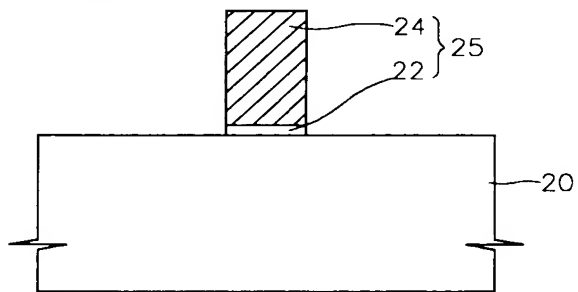
【도 3】



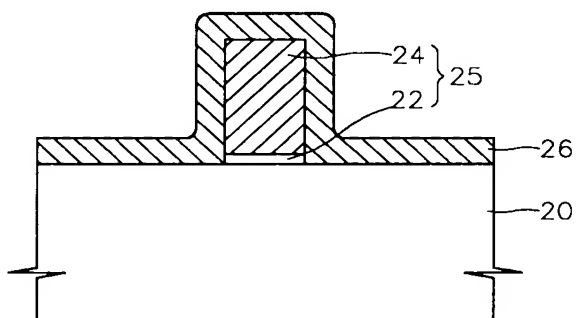
【도 4】



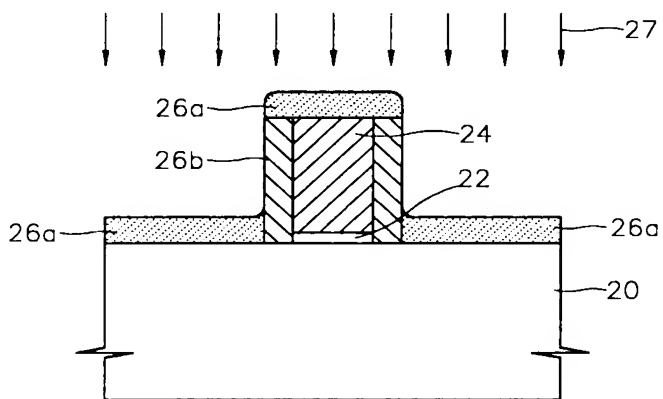
【도 5】



【도 6】



【도 7】



【도 8】

